



Approved for use through 10/31/2002. OMB 0651-0031  
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b> <i>(to be used for all correspondence after initial filing)</i>	<b>Application Number</b>	10/604,684	
	<b>Filing Date</b>	08/10/2003	
	<b>First Named Inventor</b>	Ming-Hsun Hsu	
	<b>Group Art Unit</b>		
	<b>Examiner Name</b>		
<b>Total Number of Pages in This Submission</b>	3	<b>Attorney Docket Number</b>	VIAP0073USA

<b>ENCLOSURES (check all that apply)</b>		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Assignment Papers (for an Application)	<input type="checkbox"/> After Allowance Communication to Group
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment / Reply	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application	<b>Remarks</b>	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

<b>SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT</b>	
<b>Firm or Individual name</b>	Winston Hsu, Reg. No.: 41,526
<b>Signature</b>	<i>Winston Hsu</i>
<b>Date</b>	8/29/2003

<b>CERTIFICATE OF MAILING</b>			
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: <span style="border: 1px solid black; display: inline-block; width: 100px; height: 1.2em; vertical-align: middle;"></span>			
<b>Typed or printed name</b>			
<b>Signature</b>		<b>Date</b>	

**Burden Hour Statement:** This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



PTO/SB/17 (01-03)  
Approved for use through 04/30/2003. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number	10/604,684
Filing Date	8/10/2003
First Named Inventor	Ming-Hsun Hsu
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0073USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801  
Deposit Account Name: North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments  
☒ Charge any additional fee(s) during the pendency of this application  
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	750	2001	375	Utility filing fee	
1002	330	2002	165	Design filing fee	
1003	520	2003	260	Plant filing fee	
1004	750	2004	375	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Extra Claims Fee from below Fee Paid  
Total Claims  -20\*\* =  X  =   
Independent Claims  -3\*\* =  X  =   
Multiple Dependent  =

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	84	2201	42	Independent claims in excess of 3
1203	280	2203	140	Multiple dependent claim, if not paid
1204	84	2204	42	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	410	2252	205	Extension for reply within second month	
1253	930	2253	465	Extension for reply within third month	
1254	1,450	2254	725	Extension for reply within fourth month	
1255	1,970	2255	985	Extension for reply within fifth month	
1401	320	2401	160	Notice of Appeal	
1402	320	2402	160	Filing a brief in support of an appeal	
1403	280	2403	140	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,300	2453	650	Petition to revive - unintentional	
1501	1,300	2501	650	Utility issue fee (or reissue)	
1502	470	2502	235	Design issue fee	
1503	630	2503	315	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	750	2809	375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	750	2810	375	For each additional invention to be examined (37 CFR 1.129(b))	
1801	750	2801	375	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	8/29/2003		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



PTO/SB/02B (11-00)  
Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

## DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092118523	Taiwan, R.O.C.	07/07/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 07 日  
Application Date

申請案號：092118523  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 8 月 4 日  
Issue Date

發文字號：09220785010  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	以相異拌碼起始數種與重設時間產生各埠傳輸訊號之多埠網路介面電路與相關方法
	英 文	Multi-Port Network Interface Circuit And Related Method For Scrambling Codes Of Different Ports With Different Seeds And Resetting Signal Transmission of Different Ports At Different Time.
二、 發明人 (共2人)	姓 名 (中文)	1. 許銘勛
	姓 名 (英文)	1. Hsu, Ming-Hsun
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Wang, Hsueh-Hung



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 張建誠
	姓 名 (英文)	2. Chang, Chien-Cheng
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：以相異拌碼起始數種與重設時間產生各埠傳輸訊號之多埠網路介面電路與相關方法)

本發明係提供一種多埠網路介面電路及相關控制方法。該網路介面電路係用來以複數個多埠實體層電路來對複數個網路節點傳輸訊號；其中各實體層電路係以不同的數種(seed)對相異埠之傳輸訊號進行拌碼，而該網路介面電路係於不同時間重設各實體層電路，使各實體層電路係於不同的時間開始傳輸訊號。

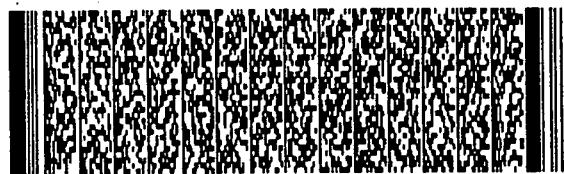
五、(一) 本案代表圖為圖四。

(二) 本案代表圖之元件代表符號簡單說明：

50	網路介面電路	52	媒體存取電路
54A-54B	實體層電路	56A-56D	拌碼器
58A-58D	編碼器	60A-60D	傳輸埠
62A-62D	接收埠	64A-64D	網路節點
66A-66B	重設電路	68A-68B	重設訊號

六、英文發明摘要 (發明名稱：)

A multi-port network interface circuit and related control method. The network interface circuit has a plurality of PHY circuits, each of the PHY circuit is used for transmitting signals to a plurality of corresponding network nodes via different ports. Wherein each of the PHY circuits scrambles signals transmitted at different ports with different seeds, and the



四、中文發明摘要 (發明名稱：以相異拌碼起始數種與重設時間產生各埠傳輸訊號之多埠網路介面電路與相關方法)

70A-70B 接收電路

OP 邏輯運算

E1-E4 輸出埠

RS1-RS4 重設端

M1-M4、N1-N4、K1-K4

V 直流電源

Ca、Cb 電容

72A-72D 亂數產生器

Sp(1)-Sp(N) 數種

CL1-CL4 控制埠

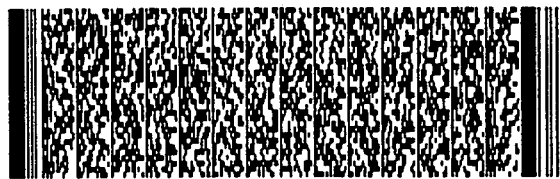
訊號

Ra、Rb 電阻

N0 節點

六、英文發明摘要 (發明名稱：)

network interface circuit resets different PHY circuits at different time such that each of the PHY circuits starts to transmit signals at different time.





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

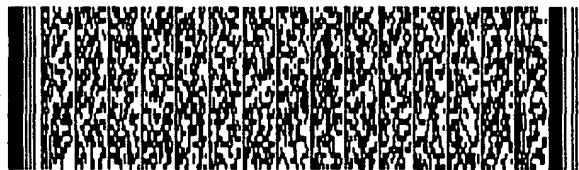
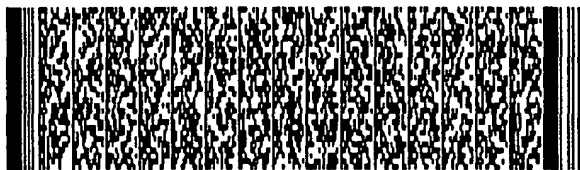
### 發明所屬之技術領域

本發明係提供一種多埠網路介面電路及相關控制方法，尤指一種能以不同數種 (seed) 對各埠訊號拌碼，並以不同重設 (reset) 時間使各埠訊號傳輸不會同時發生資料轉換 (transition) 的網路介面電路及相關控制方法。

### 先前技術

在現代化的資訊社會中，能夠快速交換資料、數據、情報及知識的電腦網路，已成為人際交流、技術發展最重要的資源之一。有效地擴張、加速網路基礎建設，也已經成為資訊業界乃至於政府致力推廣實施的重點工作。

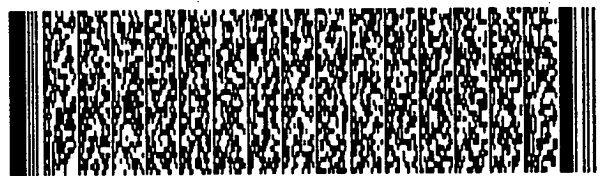
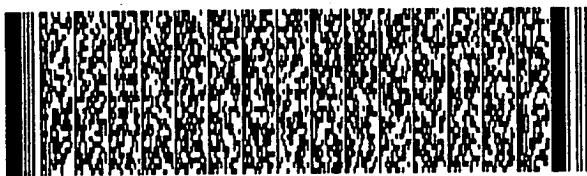
要將不同的電腦終端機連接為網路，可以使用不同的網路連接拓樸 (topology)。在這些連接拓樸中，終端機 (可以是電腦、記憶儲存裝置或是網路印表機等等) 可被視為網路的網路節點 (node)；各網路節點間直接、間接的連接，就能形成一網路。舉例來說，時下被廣泛運用的 10BASE T 或 100BASE T 之區域網路 (LAN, Local Access Network) 中，即以星狀的拓樸來形成網路；各個終端機可分別連接至一集線器 (hub) 或交換器 (switch)，再與其他的網路節點或是其他的網路設備 (像是其他的



## 五、發明說明 (2)

集線器、交換器或路由器) 連接，就能集結成一網路，並透過網路上各種網路設備在各網路節點間交換資料。換句話說，像是集線器、交換器或路由器這些網路設備，能把各個單獨的網路節點連接起來，最後形成能夠互通資訊的龐大網路，讓各終端機的使用者能在廣大的網路中存取豐富的網路資源。

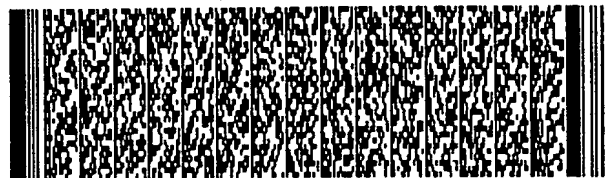
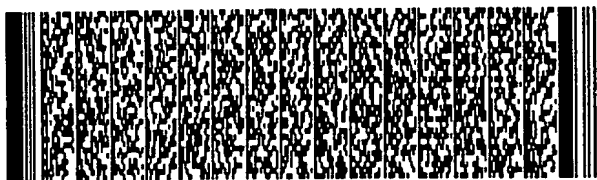
為了要協調各網路節點間往來的資料，這些用來連接各網路節點的網路設備多半具有多個用來交換資料的網路連接埠，每一個網路連接埠連接於一網路節點（或其他的網路設備）。透過一網路介面電路，這些網路設備就能經由多個不同的網路連接埠向各網路節點傳輸資料訊號，並接收由各網路節點發出的資料訊號，達到網路互連的功能。請參考圖一。圖一即為一習知之多埠網路介面電路 10 的功能方塊圖；網路介面電路 10 可以是使用集線器、交換器或路由器等網路設備中的網路介面電路。為了實現多埠網路連接的功能，網路介面電路 10 中設有一媒體存取電路 12，並以複數個多埠的實體層電路對多個節點進行訊號收發與資料交換。為了精簡說明，在圖一中的代表性示意例，是假設網路的介面電路 10 中具有兩個實體層電路 14A、14B，每個多埠的實體層電路 14A、14B 則可用來和兩個網路節點（終端機）交換資料，使得網路介面電路 10 能同時和四個網路節點 24A 至 24D 分別交換資料。而在現代的網路介面電路中，已可使



### 五、發明說明 (3)

用三個八埠實體層電路組合出二十四埠的網路介面電路，以實現出在二十四個網路節點間的交換器。

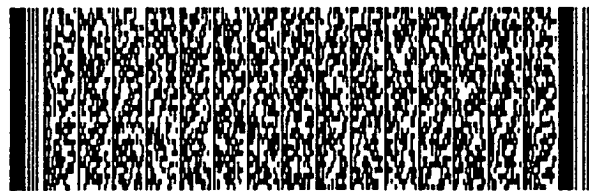
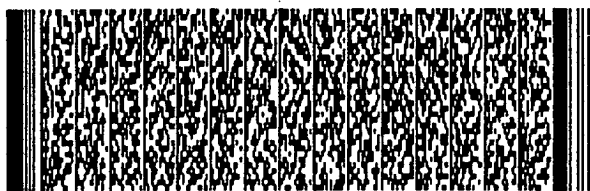
在網路介面電路10中，媒體存取電路12用來控制各實體層電路對各網路節點的訊號接收、傳輸，以實現開放互連架構(OSI, Open System Interconnection)下媒體存取(MAC, Medium Access Control)層的功能；各實體層電路14A、14B則用來實現實體層(PHY)的功能。要傳輸至各網路節點24A至24D的資料，會由媒體存取電路12封裝為封包，分別由輸出埠Ep1至Ep4傳輸至實體層電路14A、14B。在各實體層電路14A、14B中，分別設有拌碼器16A至16D、編碼器18A至18D，分別針對要傳輸至網路節點24A至24D的封包進行訊號處理，再由對應的傳輸埠20A至20D，將處理後之訊號傳輸至對應的網路節點24A至24D，如圖一所示。由網路節點24A至24B、24C至24D回傳至網路介面電路10的訊號，則會分別經由各實體層電路14A、14B對應之接收埠22A至22B、22C至22D回傳至接收電路30A、30B，由接收電路30A、30B進行必要的訊號處理，再回傳至媒體存取電路12。換句話說，各傳輸埠20A至20D、接收埠22A至22D就分別形成對網路節點24A至24D的網路連接埠，使網路介面電路10能和這些網路節點交換資料。在實際實施圖一的網路介面電路10時，傳輸至各網路節點的訊號會以差動訊號的形式，分別透過對應的傳輸埠以絞線對(twisted pair)同時將兩個互為反



#### 五、發明說明 (4)

相的訊號傳輸至對應的網路節點。同理，各網路節點也是以互為反相的兩個訊號將資料傳輸至網路介面電路 10 的對應接收埠。除了透過實體層電路 14A、14B 對各個網路節點 24A 至 24D 收發訊號外，媒體存取電路 12 還能向各實體層 14A、14B 的控制埠 CL1、CL2 發出控制指令，控制實體層電路 14A、14B 的運作。就像所有序向邏輯控制的電路一樣，實體層電路 14A、14B 也分別設有一重設端 RS1、RS2；如圖一中所示，網路介面電路 10 中的重設電路 28 則是以一重設訊號 28 同時觸發實體層電路 14A、14B 進行重設 (reset)，使實體層電路 14A、14B 中所有的序向控制程序、狀態機制 (state machine) 及暫存器中的資料全都回歸至初始值，並重新開始運作。

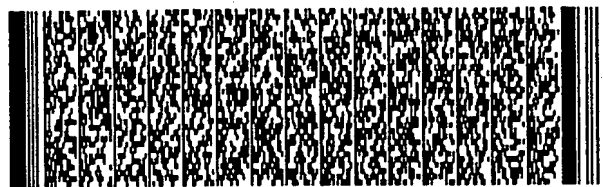
網路介面電路 10 對各網路節點 24A 至 24D 進行資料收發的情形可進一步描述如下。舉例來說，假設媒體存取電路 12 有一筆資料要傳輸至網路節點 24A，媒體存取電路 12 會將這筆資料加上標頭 (header)、媒體存取位址 (MAC address) 及錯誤檢查碼等資訊，以將該筆資料封裝為一封包，並透過輸出埠 Epl 以一訊號 Mpl 將此封包傳輸至實體層電路 14A 中的拌碼器 (scrambler) 16A；拌碼器 16A 中設有一亂數產生器 32A，可在複數個數種 (seed) Sp(1)、Sp(2) 到 Sp(N) 中選出一數種以產生出一拌波碼 Sc0，並將拌波碼 Sc0 與訊號 Mpl 進行一邏輯運算 OP0，產生出拌碼後的訊號 Npl。訊號 Npl 會繼續傳輸至編碼器 18A，由編碼器



##### 五、發明說明 (5)

18A加以編碼（如 100BASE T區域網路下的 MLT3編碼）或調變、增加訊號強度功率，並形成對應的訊號 Kp1，經由傳輸埠 20A傳輸至網路節點 24A。由網路節點 24透過接收埠 22A傳送的訊號會由接收電路 30A接收，並加以解調變或解碼、解拌碼，還原為封包，再回傳至媒體存取電路 12，由媒體存取電路 12解封裝，取出封包中的資料。同理，要傳輸至網路節點 24B至 24D的封包訊號 Mp2至 Mp4，會分別在拌碼器 16B至 16D中與對應亂數產生器 32B至 32D產生的拌波碼進行邏輯運算 OP0，產生出對應的訊號 Np2至 Np4，再分別經由編碼器 18B至 18D進行必要的編碼，形成訊號 Kp2至 Kp4，傳輸至對應的網路節點 24B至 24D。

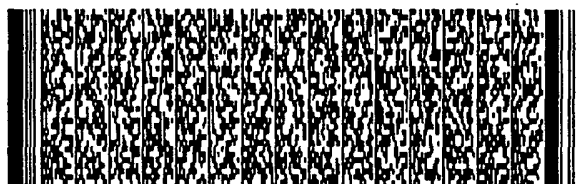
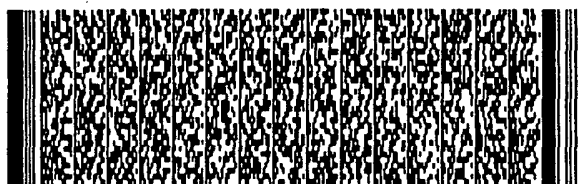
在網路介面電路 10實際與一網路節點（以網路節點 24A為例）交換資料時，拌碼器 16A每隔一段預設的時間就會依數種的順序變更亂數產生器 32A產生亂數拌波碼 Sc0所根據的數種。舉例來說，在某時刻亂數產生器 32A是根據數種 Sp(1)來產生拌波碼 Sc0以對訊號 Mp1拌碼，經過該預設時間後亂數產生器 32A就會依序改以數種 Sp(2)來產生拌波碼 Sc0，再經過另一段預設時間後，亂數產生器會再改以數種 Sp(3)來產生拌波碼 Sc0，如此依序地改用各數種，等用到最後一個數種 Sp(N)後，亂數產生器 32A會重新循環，再度依照數種 Sp(1)、Sp(2)、Sp(3)等的順序，每隔一段預設時間就依序改變產生亂數的數種。請參考圖二。圖二即以圖一中的拌碼器 16A為例，來



#### 五、發明說明 (6)

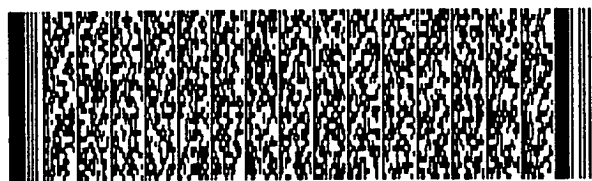
說明網路介面電路 10 中各拌碼器的功能方塊圖。在拌碼器 16A 中，亂數產生器 32A 是以複數個暫存單元 34 暫存一數種（譬如說是數種  $Sp(n)$ ）的各個位元，並以位移、互斥或 36 之運算來產生拌波碼  $Sc0$ （其實就是根據數種  $Sp(n)$  產生的亂數）。拌波碼  $Sc0$  再跟訊號  $Mp1$  中的各個位元進行邏輯運算  $OP0$ （一般都是互斥或運算），就能產生出拌碼後的訊號  $Np1$ 。訊號  $Np1$  經過編碼器 18A 的編碼，就能產生出對應的訊號  $Kp1$ 。

請再度參考圖一。當網路節點 24A 接收到網路介面電路 10 經過編碼、拌碼的訊號  $Kp1$  後，會先將其解碼（也就是將訊號  $Kp1$  還原為訊號  $Np1$ ），再經過解拌碼（也就是將訊號  $Np1$  還原為訊號  $Mp1$ ），以還原出網路介面電路 10 要傳輸至網路節點 24A 的封包。其中，編碼、解碼在網路協定中已有既定的規範，只要網路中交換資料的雙方採用相同的網路協定，其中一方就能順利地將對方編碼後的訊號解碼。而在拌碼的過程中，亂數產生器 32A 的運作方式、邏輯運算  $OP0$  以及各數種  $Sp(1)$ 、 $Sp(2)$  到  $Sp(N)$  的數值內容及順序也都在網路協定的規範中。不過，接收訊號的一方，並不知道傳輸訊號的一方是由那個數種開始產生拌波碼。舉例來說，當網路介面電路 10 要傳輸訊號至網路節點 24A 時，一開始可能就是以數種  $Sp(2)$  來產生拌波碼  $Sc0$  並進行拌碼，並每隔一段預設時間依序輪換使用數種  $Sp(3)$ 、 $Sp(4)$  等等來進行拌波。不過，在上述



#### 五、發明說明 (7)

過程中，網路介面電路 10 並不會通知網路節點 24A 拌碼器 16A 拌碼所使用的數種；在不知道拌碼數種的情況下，網路節點 24A 是無法進行解拌碼的。為了要使網路節點 24A 能順利地解拌碼，網路介面電路 10 要和網路節點 24A 建立聯繫 (link) 時，媒體存取電路 12 會先以預設的情態模式 (idle pattern) 訊號 (譬如說是預設數目個連續的數位「0」資料) 形成訊號  $Mp1$ ，經過拌碼、編碼後傳輸至網路節點 24A。依據網路協定，網路節點 24A 知道網路介面電路 10 一開始傳來的會是情態模式訊號，也預先知道情態模式訊號的資料內容，在此情況下，網路節點 24A 就能解出網路介面電路 10 拌碼所用的數種。在解出拌碼器 16A 所使用的數種後，網路節點 24A 就能依據此數種來進行解拌碼 (相當於將訊號  $Np1$  還原為  $Mp1$ )，順利地還原出由網路介面電路 10 傳來的封包。即使在經過預設時間後拌碼器 16A 會依序改用另一數種進行拌碼，網路節點 24A 也可由網路協定中知道下一個數種為何。舉例來說，若網路節點 24A 解出情態模式訊號是以數種  $Sp(2)$  進行拌碼，依據網路協定的規定，網路節點 24A 就能知道網路介面電路 10 接下來將以數種  $Sp(3)$ 、 $Sp(4)$  之順序改變拌碼所使用的數種，而網路節點 24A 也就能同步地改變解拌碼所使用的數種，以便在後續的網路通訊過程中能繼續來順利地解拌碼。除了在建立聯繫之初網路介面電路會發出情態模式資料外，在資料交換期間網路雙方也會以情態模式訊號確認網路訊號傳輸的情形 (像是網路聯繫是

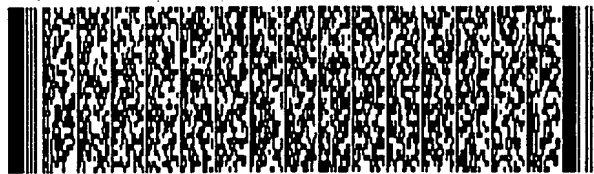
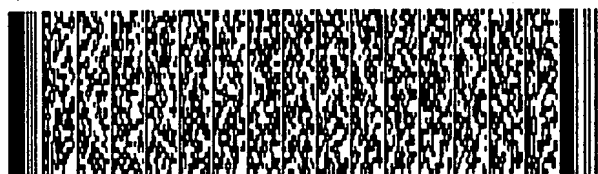




#### 五、發明說明 (8)

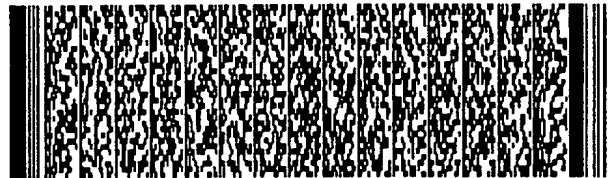
否中斷等等)。在習知的網路介面電路10中，各拌碼器16A至16D都是由相同的初始數種 $Sp(1)$ 開始依序替換數種；替換數種的順序當然也是相同的。

在網路介面電路中，拌碼、編碼的目的都是在使要傳輸至網路的訊號具有較佳的電氣特性。在網路（尤其是區域網路）訊號傳輸時，訊號的直流部分會在傳輸過程中被濾去。若網路上傳輸之訊號中有多筆連續在一起的數位「0」或數位「1」的位元資料（像是「00000000」或「11111111」），這些連續的位元資料傳輸之波形都是連續的直線，僅有直流位準上的不同。舉例來說，若要連續傳遞八個位元的數位「0」資料，其波形只是在八個時脈週期中的維持為低位準的直流訊號；連續八個位元的數位「1」之資料，只是在八個時脈週期間維持為高位準的直流訊號；一旦傳輸過程中直流部分被濾掉，高位準直流訊號就會被濾去，而網路上接收訊號的一方就難以判斷另一方傳來的到底是連串的數位「0」或是數位「1」；這也就是所謂「基準線漂移」(baseline wander)現象。為了避免訊號中出現多個連續的數位「0」或數位「1」，在訊號傳輸至網路前，就要以拌碼、編碼的過程來使訊號中數位「0」、數位「1」的各個位元盡量交錯排列，減少多個相同位元排列在一起的機會。



#### 五、發明說明 (9)

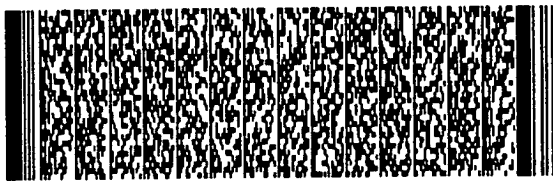
請參考圖三（並同時參考圖一）；圖三為圖一中網路介面電路 10 運作時，各相關訊號 Mp1 至 Mp4、Np1 至 Np4 以及 Kp1 至 Kp4 波形時序之示意圖；各波形之橫軸為時間，縱軸為波形大小。一般來說，當序向邏輯電路開時運作之初，都會重設其序向控制程序及各狀態機制、暫存器之值，從初始值重新開始整個序向控制程序。當圖一中的網路介面電路 10 開始運作時，重設電路 28 也會以同一重設訊號 28 同時重設實體層電路 14A 及 14B，使實體層電路 14A 及 14B 由初始狀態開始序向控制程序；舉例來說，各實體層電路中的拌碼器 16A 至 16D 都會統一由數種  $C_p(1)$  開始進行拌碼。如圖三所示，由於實體層電路 14A、14B 均同時被重設以開始作業，訊號 Mp1 至 Mp4 也是同時被各個拌碼器 16A 至 16D 接收，以進行拌碼。如此一來，訊號 Mp1 至 Mp4 中資料轉換 (transition) 發生的時間也會實質相同。舉例來說，如圖三中所示，訊號 Mp1、Mp2 都會在時點 tp0 由一筆數位「1」的位元資料轉換為一筆數位「0」的位元資料；訊號 Mp3、Mp4 都會在時點 tp1 由一筆數位「0」的資料轉換為數位「1」的資料，等等。另外，如前所述，當網路介面電路在和各網路節點建立聯繫期間，都會以固定的情態模式訊號發送至各網路節點，所以網路介面電路 12 傳輸至各個拌碼器 16A 至 16D 的訊號，很有可能都是相同的訊號（尤其是在與各網路節點建立、維持聯繫時），如圖三中各訊號 Mp1 至 Mp4 在時點 tp0 之前的樣子。



## 五、發明說明 (10)

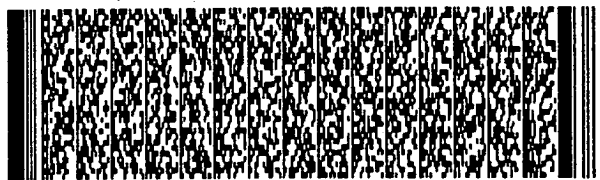
由於習知網路介面電路 10 的各個拌碼器 16A 至 16D 皆以相同的初始數種  $Sp(1)$  開始進行拌碼，加上各個訊號  $Mp1$  至  $Mp4$  在時點  $tp0$  前都是相同的訊號，拌碼後產生的訊號  $Np1$  至  $Np4$  也都會是相同的；雖然在訊號  $Np1$  至  $Np4$  中，連續之數位「0」或數位「1」之訊號會被拌碼打散，但訊號  $Np1$  至  $Np4$  還是會在同一時間時發生相同的資料轉換。舉例來說，在時點  $tp3$ ，訊號  $Np1$  至  $Np4$  會同時由數位「0」的資料轉換為數位「1」的資料。經由編碼器 18A 至 18D 的編碼（像是 MLT-3 編碼），訊號  $Np1$  至  $Np4$  會分別被編碼為訊號  $Kp1$  至  $Kp4$ 。由於訊號  $Np1$  至  $Np4$  在時點  $tp0$  前為相同的訊號，編碼後訊號  $Kp1$  至  $Kp4$  之對應部分也會呈現相同的波形（在 MLT-3 的編碼中，原本由數位「0」、「1」組成的訊號，會被編碼為由數位「0」、「1」、「-1」組成的訊號，如圖三中所示意的）。就像訊號  $Mp1$  至  $Mp4$ 、訊號  $Np1$  至  $Np4$  中的情況一樣，由於實體層電路 14A、14B 均同時被重設而開始運作，訊號  $Kp1$  至  $Kp4$  也會在同一時間發生資料轉換。舉例來說，在時點  $tp5$ ，各訊號  $Kp1$  至  $Kp4$  都會同時由數位「0」轉換為數位「1」之資料；在時點  $tp6$ ，各訊號都會由數位「0」轉換為數位「-1」的資料。

如習知技藝者所知，不論是拌碼、編碼之運作，或是要實際將訊號透過網路傳輸線傳輸至遠端的網路節



##### 五、發明說明 (11)

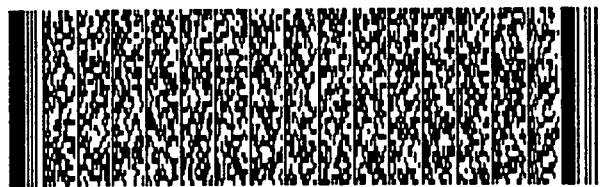
點，都需要相當的功率來驅動相關訊號中的資料轉換。舉例來說，若某一電路要使輸出訊號由低位準的數位「0」轉換為高位準的數位「1」，等效上需要將網路介面電路 10 的直流偏壓源以大電流對其輸出負載驅動，才能把輸出訊號充電至高位準。同理，要使輸出訊號由高位準降為低位準，等效上也需以大電流將其輸出負載拉低至網路介面電路 10 的地端 (ground)，才能把輸出訊號拉低至低位準。換句話說，一電路要驅動輸出訊號中的資料轉換，必定要增加其對直流偏壓源的電流需求，或是增加其向地端放電的電流。相對地，若在資料轉換後仍要維持訊號的位準，需要的功率、電流就能大幅減少。對網路介面電路來說，各拌碼器的等效輸出負載就是對應的編碼器，各編碼器的資料經過緩衝就要透過網路傳輸線傳輸至遠端的網路節點，所以拌碼器、編碼器都會在驅動資料轉換時增加對直流偏壓端的電流需求，或是向地端放電的電流。然而，在習知網路介面電路 10 中，由於各訊號  $Np1$  至  $Np4$ 、 $Kp1$  至  $Kp4$  都會在同一時間中發生資料轉換，且各訊號中傳輸相同資料的機會也較高（因為各埠訊號皆使用相同數種來拌碼），所以各實體層電路 14A、14B 總體之電流、功率需求會在同一時間一起增加，使得網路介面電路 10 會在同一時間中同時大幅增高對直流偏壓源的電流需求，或是增加對地端放電的電流，並導致供電震盪 (power bounce)。一般來說，網路介面電路 10 是以外部的直流偏壓源來供應其所需的功



##### 五、發明說明 (12)

率；若是網路介面電路 10 中各相關電路為了要驅動相同的資料轉換而在同一時間增加電流需求，外部的直流偏壓源會無法平順地立即回應此電流需求，而造成響應上的漣波 (ripple)，使得直流偏壓源無法維持對網路介面電路 10 的穩定電流供應，連帶地危及網路介面電路 10 的正常運作。同理，若網路介面電路 10 在同一時間增加對地端放電的電流，地端的電壓可能會被突增的電流改變，使得網路介面電路 10 中各電晶體偏壓失準，甚至造成不當的運作。

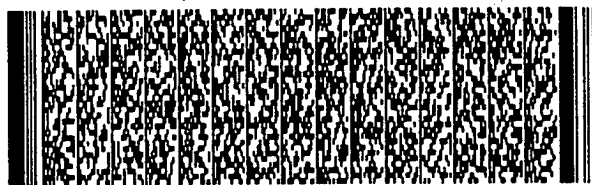
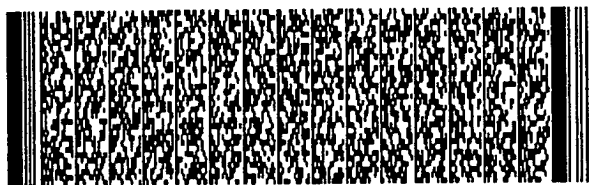
除了引起供電震盪之外，習知網路介面電路 10 同時觸發之資料轉換，還容易引發各訊號電路、傳輸線間的串響 (cross-talk)。舉例來說，當訊號 Kp2、Kp3 在時點 tp5 同時都要由低位準升高至高位準，由於訊號電路 16A、16B 之間的相長性電氣耦合 (或說相位實質相等所引發的電氣耦合)，訊號 Kp3 會耦合到訊號 Kp2 在同一時間升高位準的部分能量，使訊號 Kp3 之訊號位準可能上升到比數位「1」標準高位準還高的位準，如圖三中虛線波形 37a 所示。換句話說，在升高到代表數位「1」的預設位準後，訊號 Kp3 之訊號位準還會因電氣耦合而繼續上升，並超過線路額定的訊號位準，損壞訊號電路 (訊號 Kp2 本身也會發生相同情況)。同理，在時點 tp7，訊號 Kp2 要由零位準轉換至高位準，同一時間訊號 Kp3 也要由零位準轉換為低位準；訊號 Kp3 在拉低至低位準的過程中，會因為



##### 五、發明說明 (13)

耦合到訊號 Kp2 位準升高的部分能量而無法真正降低到代表數位「0」的標準低位準（或要用較長的反應時間才能降低到數位「0」的標準低位準），如虛線波形 37c 所示；而訊號 Kp2 也可能因為部分的能量被耦合至訊號 Kp3 而無法真正升高到代表數位「1」的標準高位準（或要用較長時間才能升至高位準），如虛線波形 37b 所示。一旦訊號 Kp1 至 Kp4 的波形發生上述的失真及延遲，就會導致資料誤判（像是將數位「0」之資料錯誤地變為數位「1」之資料）、訊號時序難以同步等等對網路資料傳輸不良的影響。

總結上述討論可知，由於習知之多埠網路介面電路 10 的各個實體層電路都是在同一時間被重設而開始運作，各實體層電路中的拌碼器也是以相同的初始數種開始拌碼，使得各訊號會在同一時間同步地發生資料轉換（尤其是相同的資料轉換，也就是各訊號同時都由某一位準改變為另一位準），導致供電震盪及串響的不良效應，使得習知的網路介面電路會有供電不穩、訊號波形失真等等缺點。尤其是現代對網路資料傳輸速度的要求較高，使得單位時間內要傳輸的位元資料增加，相當於增加單位時間內的資料轉換；對習知的網路介面電路 10 來說，功率由震盪後恢復平穩的時間餘裕就更形縮短，相對地供電震盪的情形就會更加嚴重。因為要快速地驅動資料轉換，各訊號電路驅動訊號所需的能量更大，習



#### 五、發明說明 (14)

知技術中同時時間相同的資料轉換所引發之供電震盪、電氣耦合乃至於波形失真，也就會變得更明顯。

#### 發明內容

因此，本發明之主要目的在於提供一種在多埠實體層電路中的各埠以不同的初始數種來拌碼、並於不同時間觸發相異多埠實體層電路訊號傳輸之網路介面電路，以有效減少各實體層電路中訊號同時發生相同資料轉換之機會，並錯開不同實體層電路中資料轉換發生的時間，以減少供電震盪及串響，克服習知技術的缺點。

在習知技術中，各實體層電路中於各埠拌碼之初始數種皆相同，並在同一時間被重設而開始訊號傳輸，使得習知技術之網路介面電路在各埠傳輸的訊號極易在同等一時間內發生相同的資料轉換，導致供電震盪及串響等不利網路訊號傳輸的效應。

在本發明中，或是各實體層電路以不同的數種來對各埠的訊號進行拌碼，或是在不同的時間重設相異的實體層電路，或是使用不同的拌碼器來進行拌碼，使得各實體層電路係在不同的時間被重設而開始運作，可以大幅減低各埠傳輸訊號在相同時間發生相同資料轉換的機會，進而降低供電震盪、串響對網路訊號傳輸的影響。



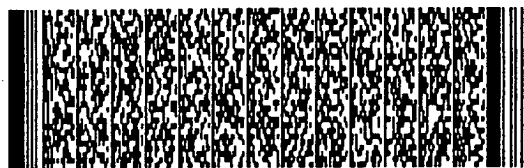
## 實施方式

### 發明之詳細說明：

在具體討論本發明所提出之多埠網路介面電路，以及說明如何由這個多埠網路介面之電路之硬體架構來實現本發明所提出之相關控制方法之前。首先，並特別強調本發明所提出之相關控制方法的大要，並特別強調本發明所提出之重點在於其流程，特別是如如何讓各埠訊號實現本發明所提出之硬體手段並沒有關係。

本控制方法可以是一種使用於網路介面電路的方法，用來控制網路介面電路之不同網路節點。首先，將第一網路節點之訊號與第一網路節點之訊號進行第一邏輯運算，產生第一網路節點之訊號。在第二網路節點，將第一網路節點之訊號與第二網路節點之訊號進行第二邏輯運算，產生第二網路節點之訊號。以此類推，最後，將第一網路節點之訊號與最後一個網路節點之訊號進行最後一個邏輯運算，產生最後一個網路節點之訊號。在此，第一網路節點之訊號與最後一個網路節點之訊號分別為輸入訊號及輸出訊號。

在此，通常是對第一數種進行第二邏輯運算以產生





##### 五、發明說明 (16)

第一拌波碼，以及對第二數種進行第二邏輯運算以產生第二拌波碼。在此第一數種與第二數種係實質相同，使在第一拌波碼與第二拌波碼亦為相異。在此，通常是在數得第一拌波碼與第二拌波碼開始產生後之預設時段後，便更新第一傳輸訊號內容，並在第二傳輸訊號開始產生該第一傳輸訊號，以及種之數值內容，並在第二數種之數值內容。在此，通常是在接收第一重設訊號後才開始產生該第一傳輸訊號，以及接收第二重設訊號後才開始產生第一傳輸訊號，而動使用第一數種與第二邏輯運算產生第一拌波碼之程序，及使用第二數種與第二邏輯運算產生第二拌波碼之程序，使得第一傳輸訊號及第二傳輸訊號在第二重設時一併被設定為一初始值，而第二數種也會在第二重設訊號被接收到時一併被設定為另一初始值。

再者，通常係以相同的方式編碼第一傳輸訊號及第二傳輸訊號，並且此兩傳輸埠係用來將編碼後的第一傳輸訊號及編碼後第二傳輸訊號分別傳輸至網路的對應網路節點。在此，此方式往往是將原本由數位「0」與「1」所組成的訊號編碼為由數位「0」、「1」與「-1」組成的訊號。

本控制方法也可以是一種使用於網路介面電路的方



##### 五、發明說明 (17)

法，用來控制網路介面電路之訊號傳輸，以利用網路介面電路將訊號傳輸至網路的不同網路節點。首先，接收第一重設訊號及第二重設訊號；然後，當接收到該第一重設訊號時，便開始將第一訊號與第一拌波碼進行第一重設邏輯運算以產生第一傳輸訊號，而當第一接收波碼進行邏輯運算以產生第二傳輸訊號，便開始將第二訊號與第二拌波碼進行邏輯運算以產生第二傳輸訊號，在此該第二傳輸訊號與該第二拌波碼係彼此相異。最後，將第一傳輸訊號及第二傳輸訊號分別傳輸至網路的對應網路節點。

在此，如何達到讓第一傳輸訊號與第二傳輸訊號能彼此相異的目標，有兩種常見的做法。第一種是，讓第一拌波碼及第二拌波碼係實質相異，使得即使第一訊號與第二訊號相同，第一傳輸訊號及第二傳輸訊號亦為相異。另一種則是，在不相同時間分別產生第一及第二重設訊號，使得開始產生第二傳輸訊號的時間與開始產生第一傳輸訊號的時間並不相同。

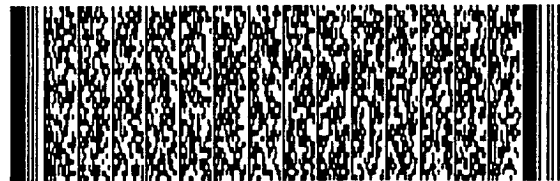
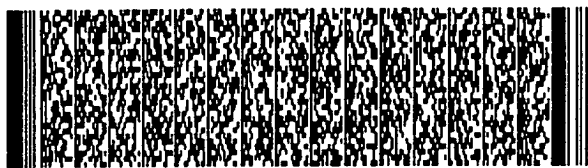
接下來為本發明網路介面電路50功能方塊之示意圖。類似於圖一中網路介面電路10，多埠網路介面電路50也可以包含集線器與交換器，並係用來和多個網路節點交換資料、訊號。而網路介面電路50也是以一個媒體交換電路52配合多個多埠實體層電路來與多個網路節點交換資料；為了精簡說明，在不妨礙本發明技術揭露之



#### 五、發明說明 (18)

情形下，本發明於圖四中的代表性實施例中，多埠網路介面電路 50 是以媒體存取電路 52 配合兩個實體層電路 54A、54B，而各個作為訊號電路之實體層電路 54A、54B 分別可連接於兩個網路節點，所以圖四中的網路介面電路 50 可同時和四個網路節點 64A 至 64B 交換資料。類似於圖一中網路介面電路 10 的配置，要傳輸至各網路節點的資料會由媒體存取電路 52 封裝為封包，經由各輸出埠 E1 至 E4 傳輸至實體層電路 54A、54B；配合網路節點 64A 至 64D，實體層電路 54A、54B 中分別設有拌碼器 56A 至 56D，以及編碼器 58A 至 58D，分別用來將要傳輸至網路節點 64A 至 64D 的資料封包拌碼、編碼，再經由對應的傳輸埠 60A 至 60D，分別傳輸至網路節點 64A 至 64D。由網路節點 64A 至 64D 回傳至網路介面電路 50 的訊號，會分別於接收埠 62A 至 62D 接收後傳輸至接收電路 70A 及 70B 以進行必要的解碼、解拌碼；在接收電路 70A、70B 將接收訊號還原為封包形式的資料後，就能回傳至媒體存取電路 52 進行進一步的解封包，取出網路節點 64A 至 64D 傳來的資料。

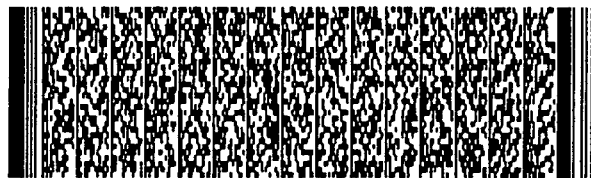
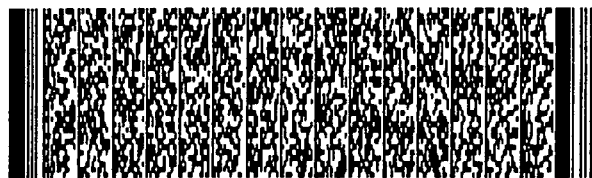
類似於圖一中的實體層電路 14A、14B，網路介面電路 50 中的實體層電路 54A、54B 也分別設有一控制埠 CL3、CL4，以接受媒體存取電路 52 的控制而進行訊號處理。同樣地，實體層電路 54A、54B 也分別設有一重設端 RS3、RS4；在由對應的重設端接收到重設訊號後，網路介面電路所有的序向控制程序、狀態機制、暫存器等等都會被



#### 五、發明說明 (19)

重設為初始值，重新開始運作。另外，就像圖一中實體層電路 14A、14B 的配置，圖四中實體層電路 54A、54B 的拌碼器 56A 至 56D 也是以分別以亂數產生器 72A 至 72D 來根據數種產生進行拌碼。媒體存取電路 52 要傳輸至各網路節點的資料封包（也就是訊號 M1 至 M4）在分別傳輸至對應的拌碼器 56A 至 56D 後，各亂數產生器 72A 至 72D 就能根據數種產生拌波碼，並分別將拌波碼與各訊號 M1 至 M4 進行邏輯運算 OP，對應地產生拌碼後的訊號 N1 至 N4。編碼器 58A 至 58D 分別將訊號 N1 至 N4 編碼、訊號緩衝後就能產生訊號 K1 至 K4，由對應的傳輸埠 60A 至 60D 傳輸至網路節點 64A 至 64D。如同圖二中拌碼器 16A 之運作方式，拌碼器 56A 至 56D 也是利用位移暫存器，在數種  $Sp(1)$ 、 $Sp(2)$ 、 $Sp(3)$  至  $Sp(N)$  中以一數種來產生拌波碼，再分別和訊號 M1 至 M4 進行互斥或運算（也就是邏輯運算 OP），產生對應的訊號 N1 至 N4。

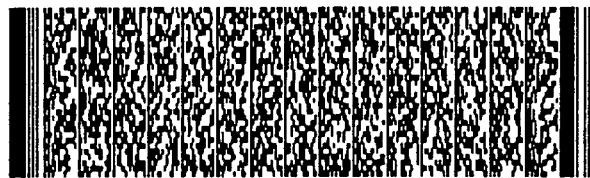
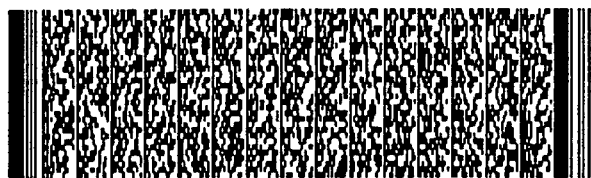
要改進習知技術因供電震盪及串響導致的負面效應，本發明與習知技術主要相異處有兩個。首先，本發明中的網路介面電路 50 會在不同的時間重設各實體層電路，使得各實體層電路會在不同的時間開始運作。要將各實體層電路重設之時間錯開，有兩種不同的實施方式。如圖四中所示，本發明可以對不同的實體層電路 54A、54B 分別設置不同的重設電路 66A、66B 作為控制電路，分別以重設訊號 68A、68B 觸發兩實體層電路的重設



#### 五、發明說明 (20)

端 RS3、RS4，來重設對應的實體層電路 54A、54B。假設圖四中各個實體層電路是在接到一個數位「1」的重設訊號後即被觸發重設，則重設電路 66A、66B就可以像圖四中繪示的一樣，分別以在直流電源 V 偏壓下的電阻 Ra、Rb 及電容 Ca、Cb 來產生對應的重設訊號 68A、68B。重設電路 66A、66B 中的直流電源 V 可以是網路介面電路 50 的直流偏壓電源；當網路介面電路 50 開始接收直流偏壓電源而要開始運作時，直流電源 V 也就會分別透過電阻 Ra、Rb 同時向電容 Ca、Cb 充電。以重設電路 66A 為例，隨著電容 Ca 於節點 N0 之電壓由低位準被充電至高位準，也就使重設訊號 68A 由數位「0」轉換至數位「1」。就如習知技藝者所知，只要電容電阻充電電路中電容值、電阻值之乘積改變，就會改變充電電路中電壓上升的速度（也就是所謂的時間常數，time constant）。換句話說，只要重設電路 66A、66B 中電容電阻值之乘積  $Ra * Ca$ 、 $Rb * Cb$  不同，重設訊號 68A、68B 就會在不同的時間由數位「0」改變為數位「1」，以便在不同的時間重設實體層電路 54A、54B。另外，由於媒體存取電路 52 也能透過各實體層電路的控制埠 CL3、CL4 以控制指令控制實體層電路重設，只要媒體存取電路 52 在不同的時間發出重設之指令，實體層電路 54A、54B 就能在不同的時間重設。

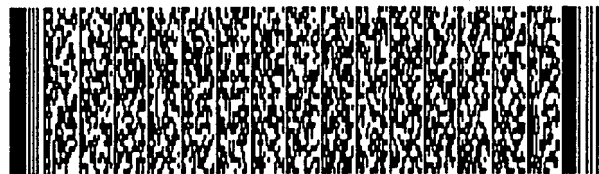
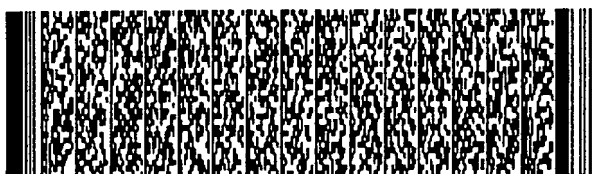
本發明與習知技術的另一相異處，就是本發明係在不同的拌碼器中使用不同數種來進行拌碼；這樣一來，



##### 五、發明說明 (21)

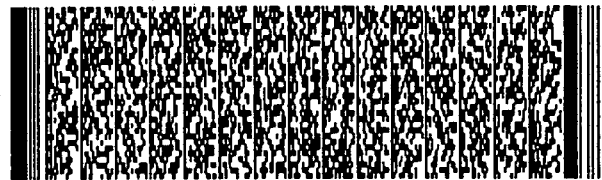
即使不同拌碼器拌碼前之訊號是相同的，因為拌碼之數種不同，經過拌碼後的訊號也不同。如前所述，在拌碼器拌碼時，每隔一段預設時間就會依序使用另一數種，而網路協定中也已經規範了各數種之數值及排列的順序。由於各數種是依序被循環使用，只要在不同的拌碼器中選用不同的初始數種，即使各拌碼器每隔預設時間就依序更換拌碼數種，各拌碼器拌碼之數種也會一直是相異的。舉例來說，如圖四中所示，拌碼器 72A 是以數種  $Sp(1)$  為初始數種，也就是說，拌碼器 72A 在實體層電路 54A 被重設而開始運作後，會先以數種  $Sp(1)$  來進行拌碼，每隔一段時間依序改用  $Sp(2)$ 、 $Sp(3)$  等等數種，用到數種  $Sp(N)$  後，再循環依序使用數種  $Sp(1)$  等等。要實現本發明，拌碼器 72B 可以用數種  $Sp(2)$  為初始數種，在拌碼器 72A 以數種  $Sp(1)$  拌碼時，拌碼器 72B 則以數種  $Sp(2)$  來進行拌碼；當拌碼器 72A 依序改用數種  $Sp(2)$ 、 $Sp(3)$  等等時，拌碼器 72B 則同步地依序以數種  $Sp(2)$  之後的數種  $Sp(3)$ 、 $Sp(4)$  等等數種來進行拌碼，使得拌碼器 72A、72B 一直都會以相異的數種來拌碼。由於各數種是被循環使用的，不同的拌碼器可任選相異的數種為初始數種，就能在後續的運作過程中持續以不同的數種進行拌碼。當然，網路介面電路 50 於不同實體層電路中的各個拌碼器也都能選用互異之初始數種進行拌碼。

請參考圖五（並一併參考圖四）。圖五為本發明網



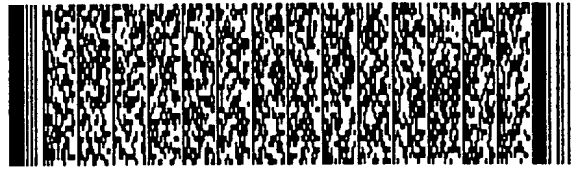
##### 五、發明說明 (22)

路介面電路 50 運作時，相關訊號波形時序之示意圖；各訊號波形之橫軸為時間，縱軸為波形大小。如圖五所示，由於本發明中各實體層電路 54A、54B 會在不同時間被重設而開始運作，也會在相異的時間分別接收訊號 M1、M2 及 M3、M4，並在不同的時間開始進行拌碼而產生訊號 N1 至 N4。假設實體層電路 54B 是在一時段  $t_d$  後才被觸發重設的，實體層電路 54A、54B 間訊號（尤其是資料轉換處）就有時段  $t_d$  的誤差。如圖五所示，實體層電路 54A 中的訊號 N1、N2 在時點  $t_2$  發生資料轉換，實體層電路 54B 之訊號 N3、N4 發生資料轉換的時間就會錯開，要到時點  $2+t_d$  才會發生資料轉換。此外，就如圖五所示意的，由於拌碼器 56A、56B 拌碼所用的數種不同，即使訊號 M1、M2 為有部分相同的資料（像是情態模式資料），拌碼後所得的對應訊號 N1、N2 也會相異，在同一時間發生相同資料轉換的機會也就大幅降低。如圖五所示的編碼（像是 MLT-3 編碼）後訊號 K1 至 K4，由於使用了不同的拌碼數種，即使在同一實體層電路由相同訊號 M1、M2 衍生出來的訊號 K1、K2，在同一時間發生相同資料轉換（也就是同時由某一位準轉換為另一位準）的機會也可有效減少。而在各實體層電路間，由於各實體層電路皆在不同時間被觸發重設，不同實體層電路之訊號間也不會同時發生資料轉換。像在圖五中，實體層電路 54A 之訊號 K1、K2 會在時點  $t_3$  發生資料轉換，重設時間落後時段  $t_d$  的實體層電路 54B，其訊號 K3、K4 就會在時點  $t_3+t_d$  才會發生



## 資料轉換。

在習知技術中，各實體層電路會統一在同的時被  
重設而開始運作，而各實體層電路中各埠（種也  
相同，開會的資料對換）訊號。在這源的一電流來，發各生資碼的數（尤其的  
是功相率求、在對直換）偏壓。幅的增，習知以網路介面（電路入的時  
電的電氣耦程突也增，致串響。如前所述，現在

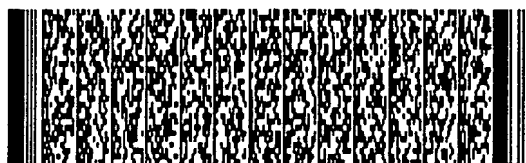




#### 五、發明說明 (24)

已經可由三個八埠實體層電路組合出對二十四個網路節點同時交換資料的網路介面電路，在此情況下，供電震盪、串響之影響更是不應忽視。相較於習知技術，本發明則會在不同時間觸發不同實體層電路間訊號發生資料轉換之時，進而錯開各實體層電路中資料轉換之機會，使得本發明網間，再於各實體層電路以不同之機會，使得本發明網減少各訊號間的發生相同資料轉換之機會，使得本發明網路介面電路的功率需求、電流需求等電氣特性不會瞬間大幅改變，電路工作狀態也就維持均衡，大幅改善供電震盪之負面影響。同時，訊號之間串響發生的情形及影響也能大幅降低，維持網路訊號傳輸的品質。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為一習知網路介面電路功能方塊之示意圖；

圖二為圖一中拌碼器功能方塊之示意圖；

圖三為圖一中網路介面電路運作時相關訊號之波形  
時序圖；

圖四為本發明網路介面電路功能方塊之示意圖；以  
及

圖五為圖四中網路介面電路運作時相關訊號波形時  
序之示意圖。

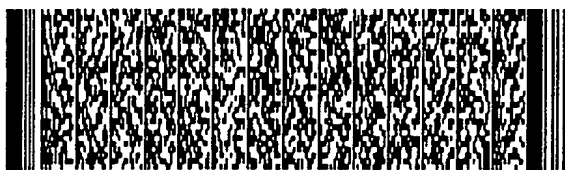
### 圖式之符號說明

10、50	網路介面電路	12、52	媒體存取電路
14A-14B、54A-54B	實體層電路		
16A-16D、56A-56D	拌碼器		
18A-18D、58A-58D	編碼器		
20A-20D、60A-60D	傳輸埠		
22A-22D、62A-62D	接收埠		
24A-24D、64A-64D	網路節點		
26、66A-66B	重設電路		
28、68A-68B	重設訊號		
30A-30B、70A-70B	接收電路		
32A-32D、72A-72D	亂數產生器		



圖式簡單說明

34	暫存單元	36	互斥或運算
37a-37c	虛線波形		
Tp1-tp7、t1-t5	時點	td	時段
OP0、OP	邏輯運算	Sp(1)-Sp(N)	數種
Ep1-Ep4、E1-E4	輸出埠		
CL1-CL4	控制埠	RS1-RS4	重設端
Mp1-Mp4、Np1-Np4、Kp1-KP4、M1-M4、N1-N4、K1-K4	訊號		
Sc0	拌波碼	V	直流電源
Ra、Rb	電阻	Ca、Cb	電容
N0	節點		



## 六、申請專利範圍

1. 一種網路介面電路，用來將訊號傳輸至一網路的不同網路節點；該網路介面電路包含有：

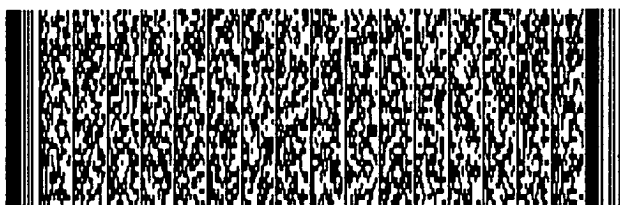
一第一拌碼器，用來將一第一訊號與一第一拌波碼進行一邏輯運算以產生一第一傳輸訊號；

一第二拌碼器，用來將一第二訊號與一第二拌波碼進行該邏輯運算以產生一第二傳輸訊號，其中該第二拌波碼與該第一拌波碼係實質相異，使得即使該第一訊號與該第二訊號相同，該第一傳輸訊號與該第二傳輸訊號亦為相異；以及

兩傳輸埠，分別用來將該第一傳輸訊號及該第二傳輸訊號傳輸至該網路的對應網路節點。

2. 如申請專利範圍第1項之網路介面電路，其中該第一拌碼器另包含有一第一亂數產生器，用來對一第一數種進行一第二邏輯運算，以產生該第一拌波碼；而該第二拌碼器另包含有一第二亂數產生器，用來對一第二數種進行該第二邏輯運算，以產生該第二拌波碼，其中該第一數種及該第二數種係實質相異，使得該第一拌波碼與該第二拌波碼為相異。

3. 如申請專利範圍第2項之網路介面電路，自該第一拌碼器開始產生該第一傳輸訊號起之一預設時段後，該第一數種之數值內容便會更新，自第二拌碼器開始產生該第二傳輸訊號起之該預設時段後，該第二數種之數值內



六、申請專利範圍  
容也會更新。

4. 如申請專利範圍第3項之網路介面電路，其中該第一拌碼器係在接收一第一重設訊號後，開始產生該第一傳輸訊號，而該第二拌碼器係在接收一第二重設訊號後開始產生該第一傳輸訊號，其中該第一重設訊號與該第二重設訊號係在不同的時間分別被傳輸至該第一拌碼器及該第二拌碼器，使得該第一拌碼器及該第二拌碼器會在不同的時間開始產生該第一傳輸訊號及該第二傳輸訊號。

5. 如申請專利範圍第4項之網路介面電路，在該第一拌碼器接收該第一重設訊號時，該第一數種會被設定為一初始值，而在該第二拌碼器接收該第二重設訊號時，該第二數種也會被設定為另一初始值。

6. 如申請專利範圍第1項之網路介面電路，更另包含有一第一編碼器及一第二編碼器，分別用來將該第一傳輸訊號及該第二傳輸訊號以相同的方式編碼，而該兩傳輸埠係用來將編碼後的該第一傳輸訊號及編碼後的該第二傳輸訊號分別傳輸至該網路的對應網路節點，在此該第一編碼器及該第二編碼器係將原本由數位「0」與「1」組成的訊號編碼為由數位「0」、「1」與「-1」組成的訊號。



## 六、申請專利範圍

7. 如申請專利範圍第1項之網路介面電路，其中該邏輯運算為互斥或運算。

8. 一種網路介面電路，用來將訊號傳輸至一網路的不同網路節點；該網路介面電路包含有：

一重設電路，用來產生一第一重設訊號及一第二重設訊號；

一第一訊號電路，至少包含一第一拌碼器，當該第一訊號電路接收到該第一重設訊號時，該第一訊號電路更會開始至少使用該第一拌碼器將一第一訊號與一第一拌波碼進行一邏輯運算以產生一第一傳輸訊號；

一第二訊號電路，至少包含一第二拌碼器，當該第二訊號電路接收到該第二重設訊號時，該第二訊號電路更會開始至少使用該第二拌碼器將一第二訊號與一第二拌波碼進行該邏輯運算以產生一第二傳輸訊號，在此該第二傳輸訊號與該第一傳輸訊號係彼此相異；以及

兩傳輸埠，用來將該第一傳輸訊號及該第二傳輸訊號分別傳輸至該網路的對應網路節點。

9. 如申請專利範圍第8項之網路介面電路，該重設電路係在不同時間分別產生該第一重設訊號及該第二重設訊號，使得該第一訊號電路開始產生該第一傳輸訊號的時間與該第二訊號電路開始產生該第二傳輸訊號的時間並



六、申請專利範圍

不相同。

10. 如申請專利範圍第8項之網路介面電路，其中該第一拌波碼及該第二拌波碼係實質相異，使得即使該第一訊號與該第二訊號相同，該第一傳輸訊號及該第二傳輸訊號亦為相異。

11. 一種使用於一網路介面電路的方法，用來控制該網路介面電路的訊號傳輸，以利用該網路介面電路將訊號傳輸至一網路的不同網路節點；該使用於網路介面電路的方法包含有：

將一第一訊號與一第一拌波碼進行一邏輯運算以產生一第一傳輸訊號，並將一第二訊號與一第二拌波碼進行該邏輯運算以產生一第二傳輸訊號，在此該第二拌波碼與該第一拌波碼實質相異，使得即使該第一訊號與該第二訊號相同，該第一傳輸訊號與該第二傳輸訊號亦為相異；以及

將該第一傳輸訊號及該第二傳輸訊號分別傳輸至該網路的對應網路節點。

12. 如申請專利範圍第11項之方法，係對一第一數種進行一第二邏輯運算以產生該第一拌波碼，以及對一第二數種進行該第二邏輯運算以產生該第二拌波碼，在此該第一數種與該第二數種係實質相異，使得該第一拌波碼



#### 六、申請專利範圍

與該第二拌波碼亦為相異。

13. 如申請專利範圍第12項之方法，當該第一傳輸訊號開始產生後，該第一數種之數值內容會在第一預設時段之後被更新，而當該第二傳輸訊號開始產生後，該第二數種之數值內容會在該預設時段之後被更新。

14. 如申請專利範圍第13項之方法，係在接收到一第一重設訊號後開始產生該第一傳輸訊號，以及在接收到一第二重設訊號後開始產生該第一傳輸訊號，在此該第一重設訊號與該第二重設訊號係在不同的時間分別啟動使用該第一數種與該第二邏輯運算產生該第一拌波碼之程序以及使用該第二數種與該第二邏輯運算產生該第二拌波碼之一程序，使得該第一傳輸訊號及該第二傳輸訊號係在不同時間被產生。

15. 如申請專利範圍第14項之方法，該第一數種會在該第一重設訊號被接收到時一併被設定為一初始值，而該第二數種也會在該第二重設訊號被接收到時一併被設定為另一初始值。

16. 如申請專利範圍第11項之方法，係以相同的方式編碼該第一傳輸訊號及該第二傳輸訊號，並且該兩傳輸埠係用來將編碼後的該第一傳輸訊號及編碼後的該第二傳





#### 六、申請專利範圍

輸訊號分別傳輸至該網路的對應網路節點，在此該方式係將原本由數位「0」與「1」組成的訊號編碼為由數位「0」、「1」與「-1」組成的訊號。

17. 如申請專利範圍第11項之方法，其中該邏輯運算為互斥或運算。

18. 一種使用於一網路介面電路的方法，用來控制該網路介面電路之訊號傳輸，以利用該網路介面電路將訊號傳輸至一網路的不同網路節點；該使用於網路介面電路的方法包含有：

接收一第一重設訊號及一第二重設訊號；

一接收到該第一重設訊號時，便將一第一訊號與一第一拌波碼進行一邏輯運算以產生一第一傳輸訊號，並且在一接收到該第二重設訊號時，便將一第二訊號與一第二拌波碼進行該邏輯運算以產生一第二傳輸訊號，在此該第二傳輸訊號與該第一傳輸訊號係彼此相異；以及將該第一傳輸訊號及該第二傳輸訊號分別傳輸至該網路的對應網路節點。

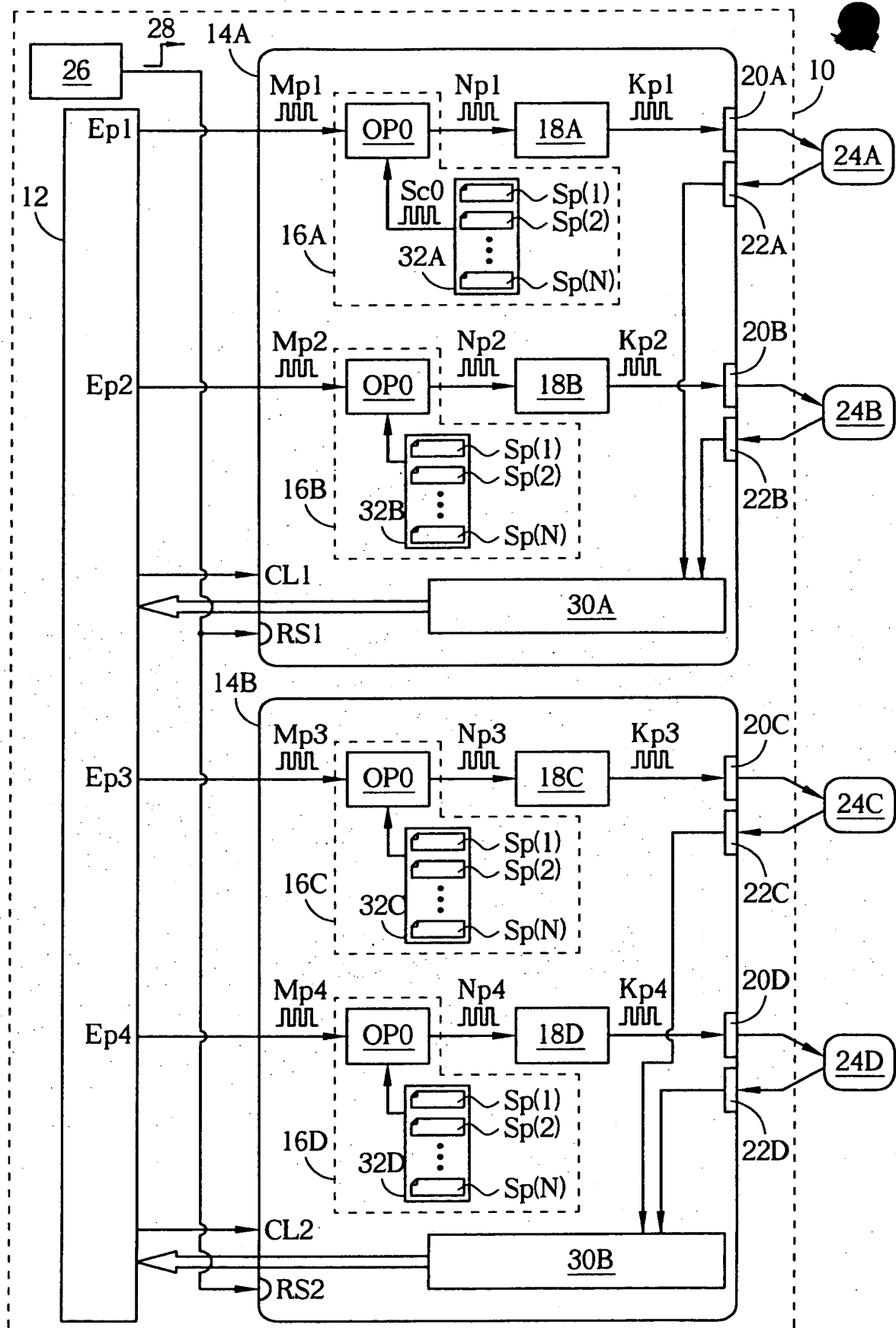
19. 如申請專利範圍第18項之方法，係在不同時間分別產生該第一重設訊號及該第二重設訊號，使得開始產生該第一傳輸訊號的時間與開始產生該第二傳輸訊號的時間並不相同。



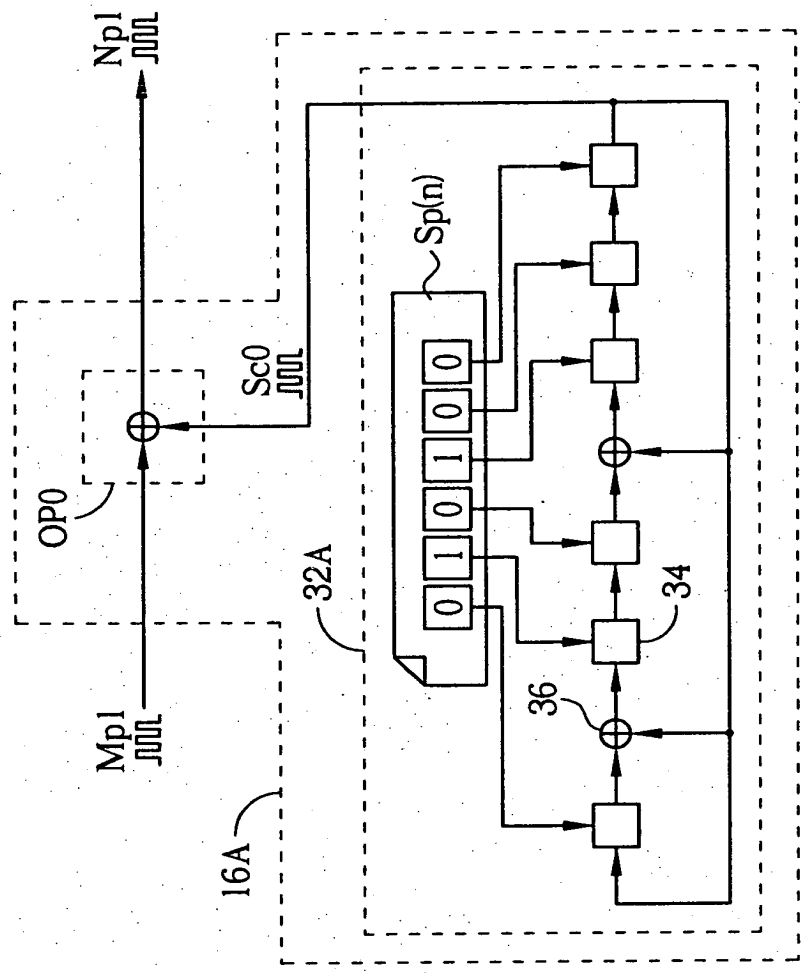
#### 六、申請專利範圍

20. 如申請專利範圍第18項之方法，其中該第一拌波碼及該第二拌波碼係實質相異，使得即使該第一訊號與該第二訊號相同，該第一傳輸訊號及該第二傳輸訊號亦為相異。

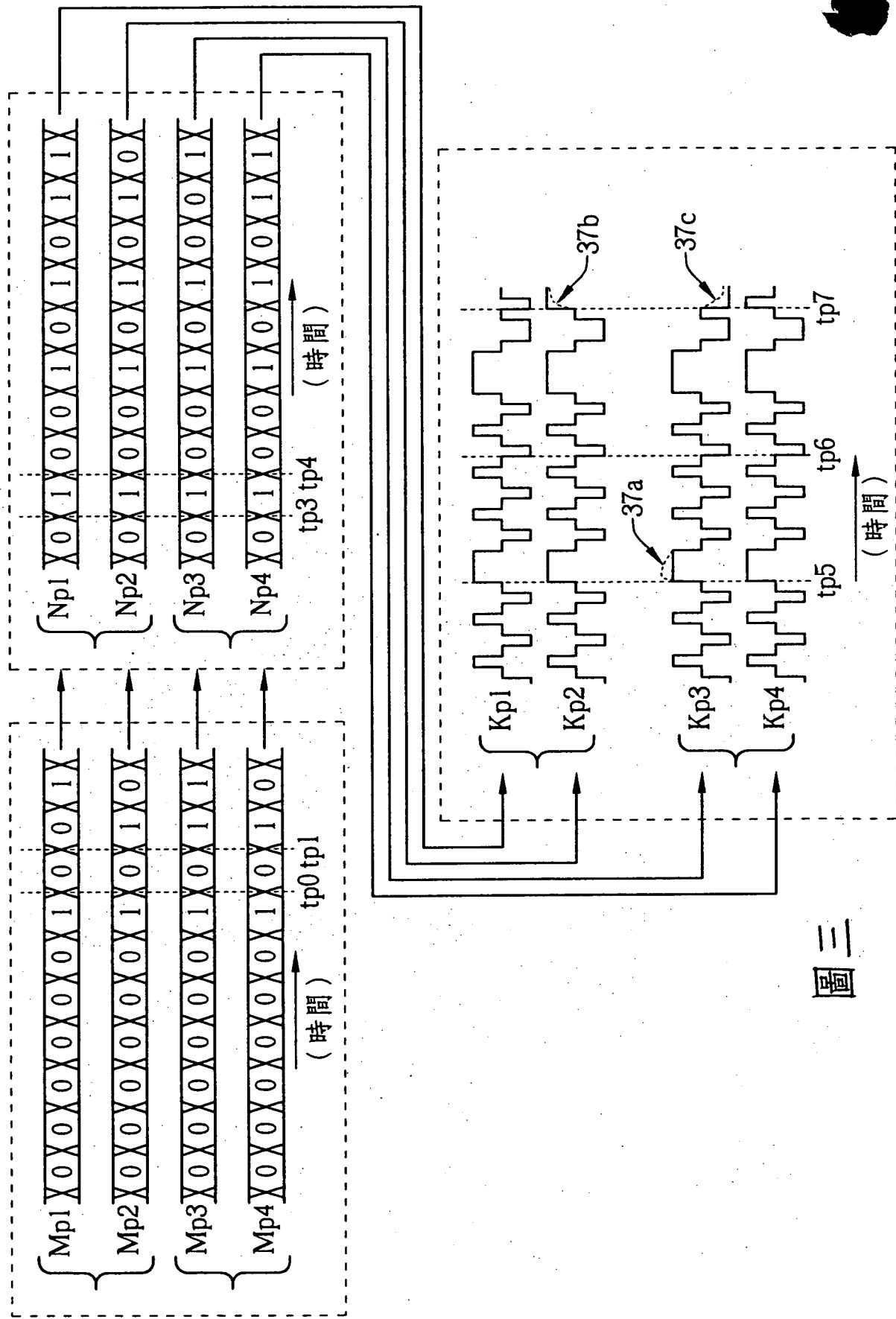




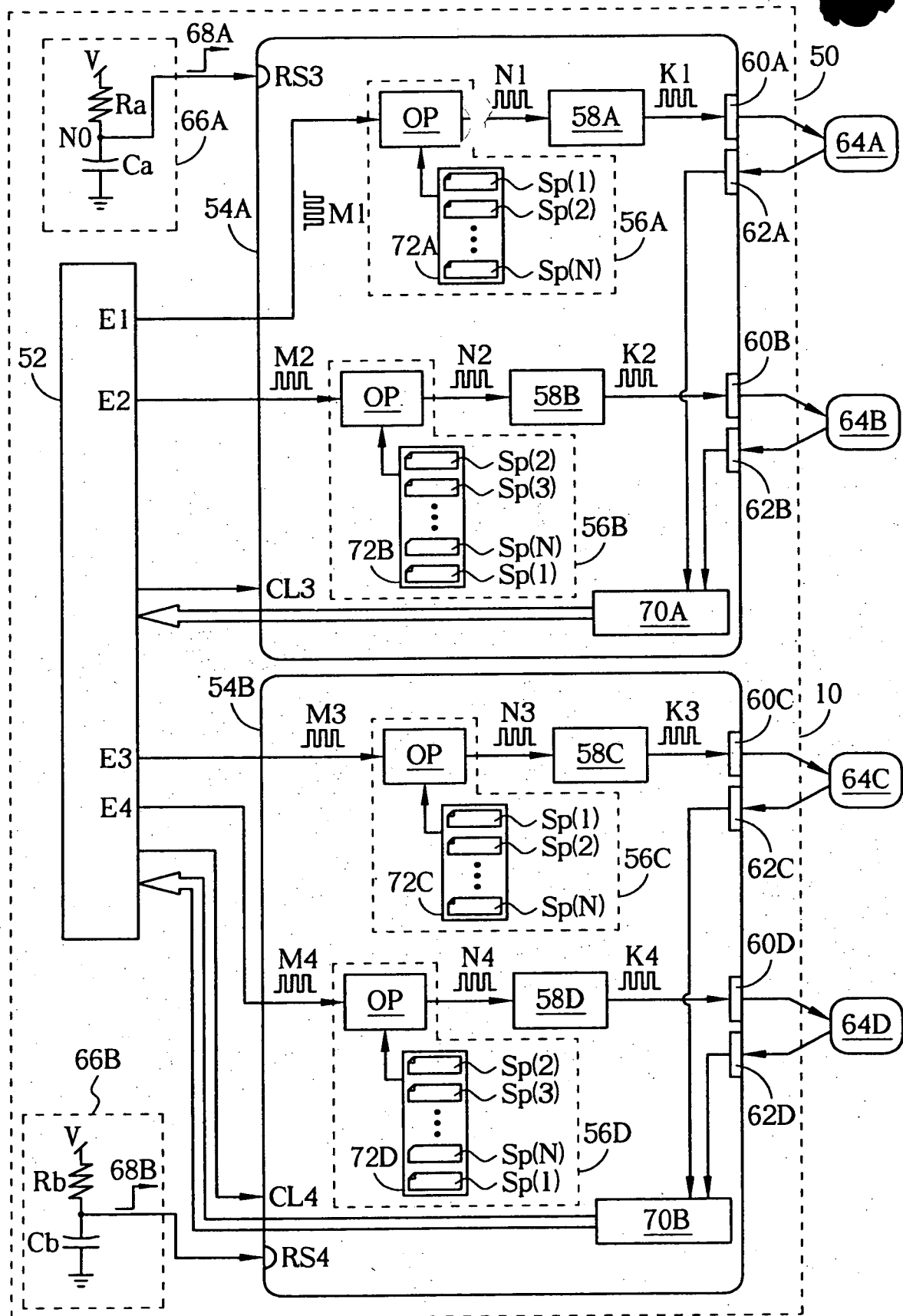
圖一



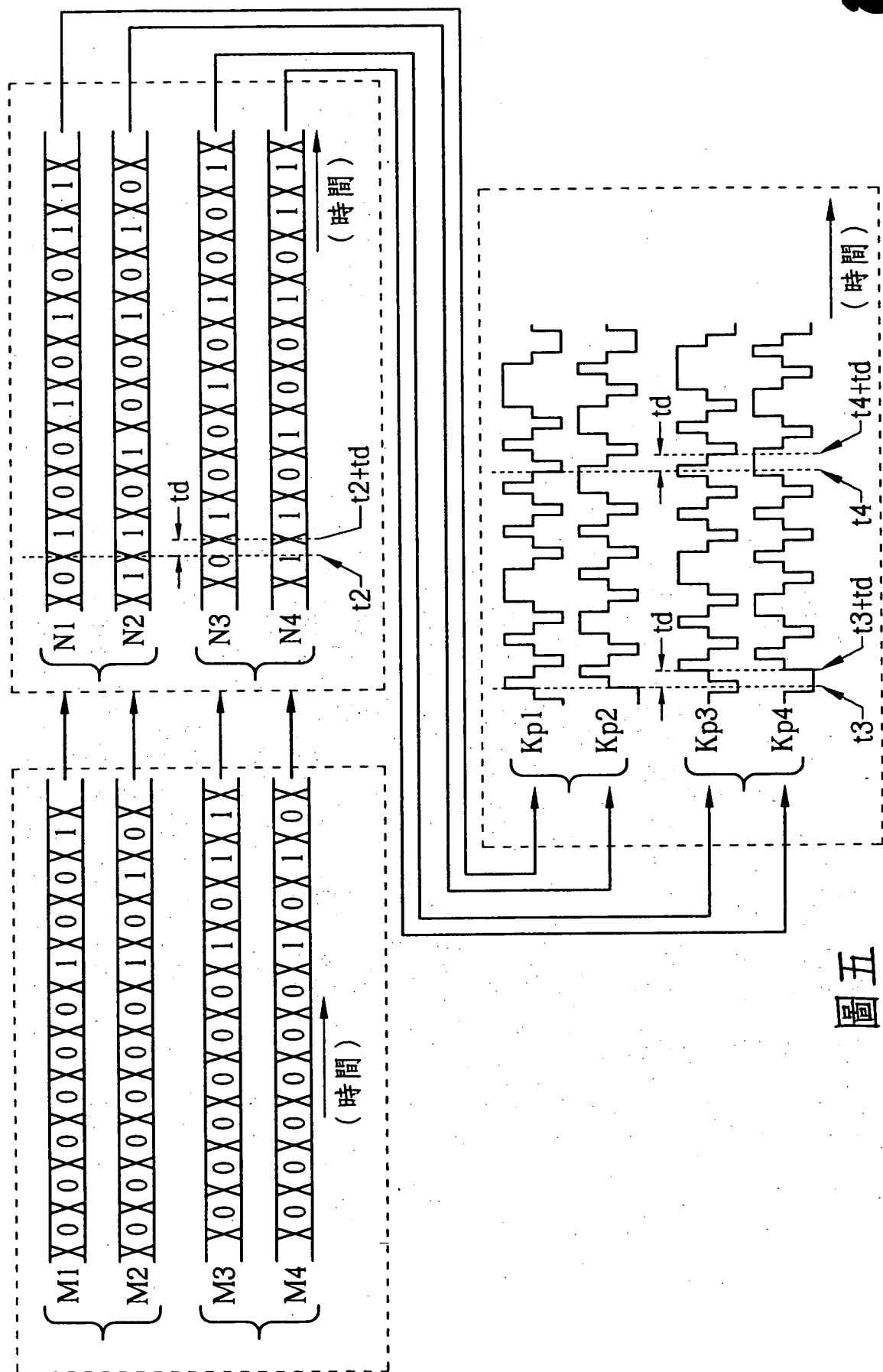
圖二



圖三

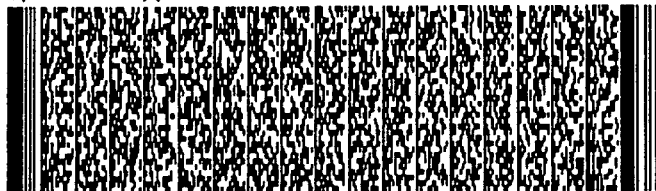


圖四

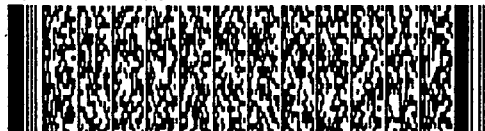


圖五

第 1/38 頁



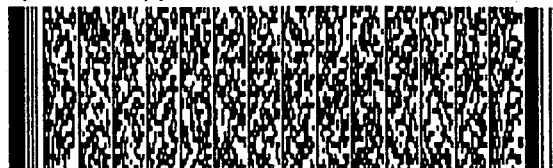
第 2/38 頁



第 3/38 頁



第 3/38 頁



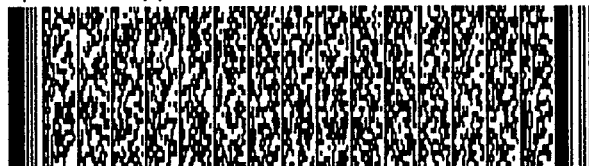
第 4/38 頁



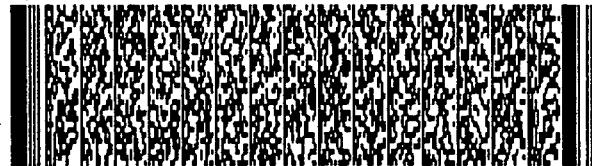
第 5/38 頁



第 6/38 頁



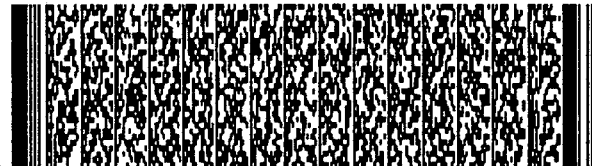
第 6/38 頁



第 7/38 頁



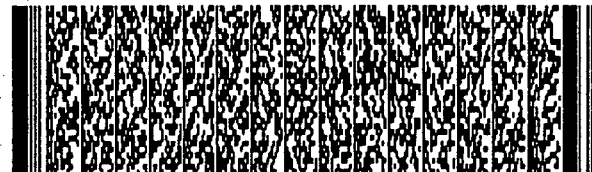
第 7/38 頁



第 8/38 頁



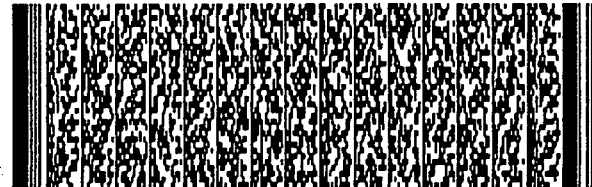
第 8/38 頁



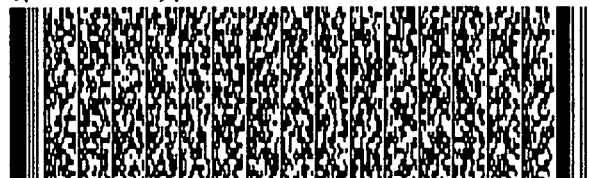
第 9/38 頁



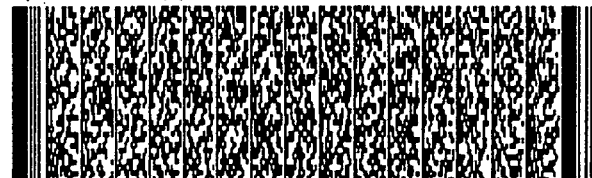
第 9/38 頁



第 10/38 頁

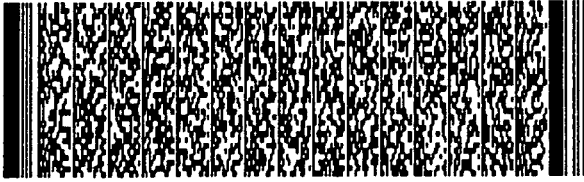


第 10/38 頁





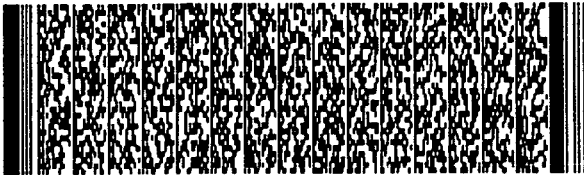
第 11/38 頁



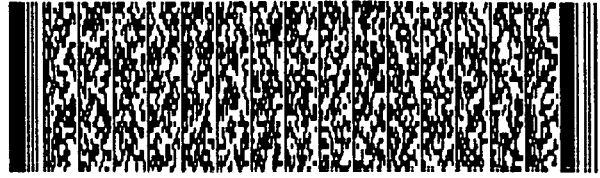
第 11/38 頁



第 12/38 頁



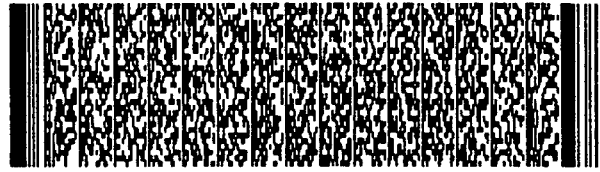
第 12/38 頁



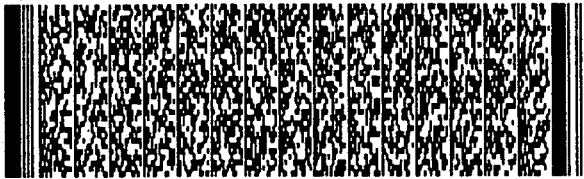
第 13/38 頁



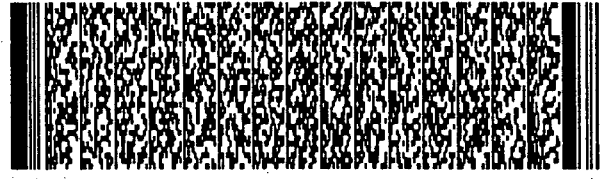
第 13/38 頁



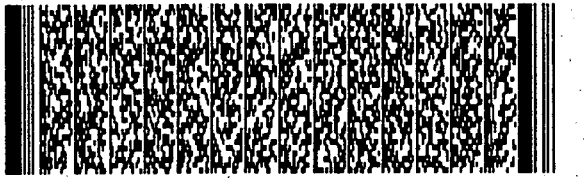
第 14/38 頁



第 14/38 頁



第 15/38 頁



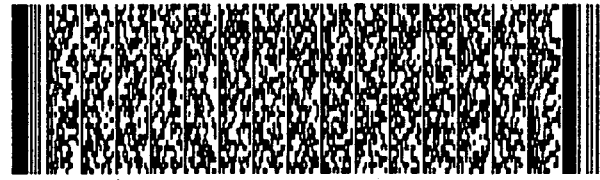
第 15/38 頁



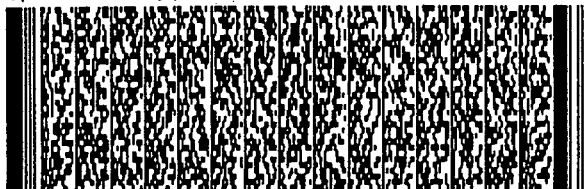
第 16/38 頁



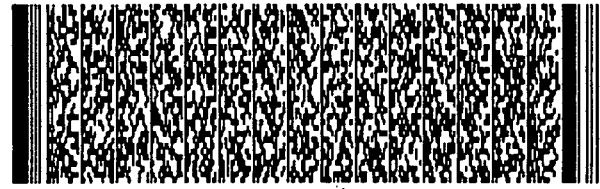
第 16/38 頁



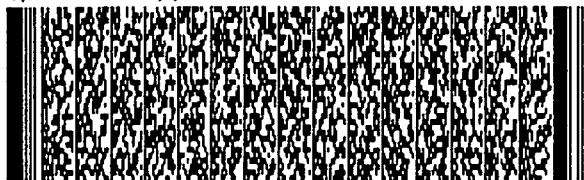
第 17/38 頁



第 17/38 頁



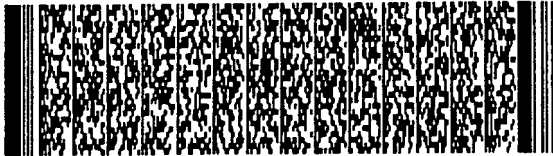
第 18/38 頁



第 18/38 頁



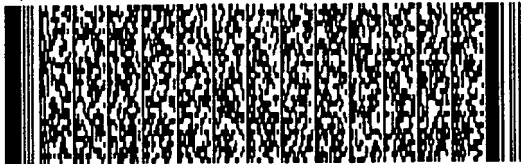
第 19/38 頁



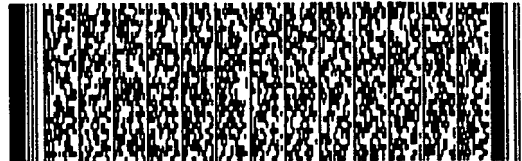
第 19/38 頁



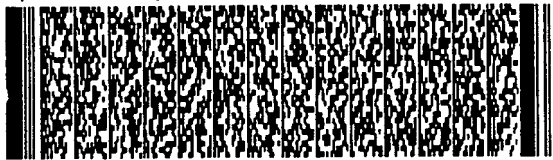
第 20/38 頁



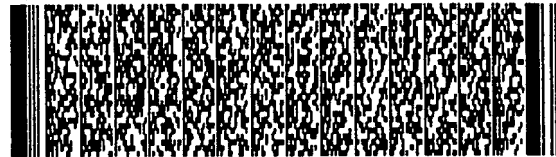
第 20/38 頁



第 21/38 頁



第 21/38 頁



第 22/38 頁



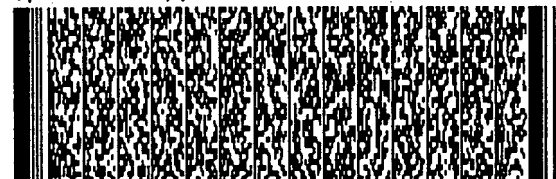
第 22/38 頁



第 23/38 頁



第 23/38 頁



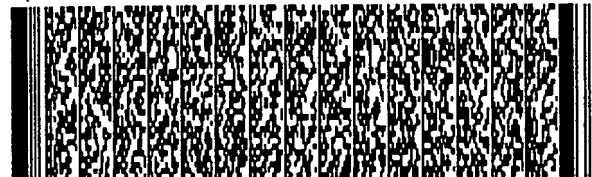
第 24/38 頁



第 24/38 頁



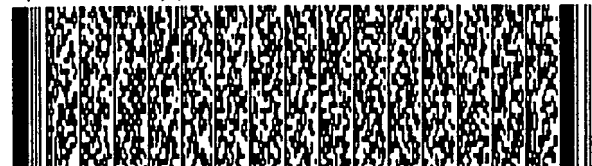
第 25/38 頁



第 25/38 頁



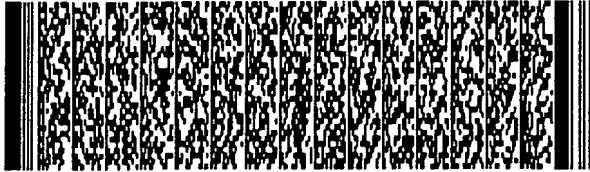
第 26/38 頁



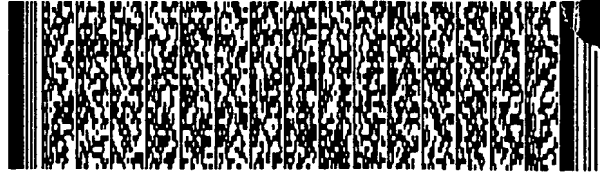
第 26/38 頁



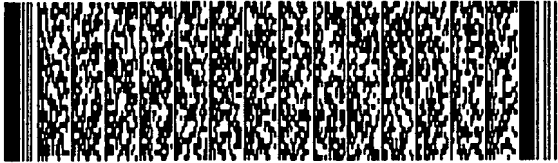
第 27/38 頁



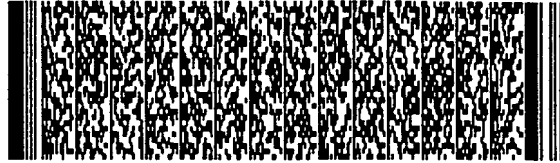
第 27/38 頁



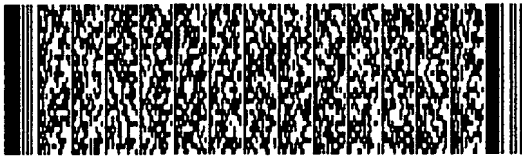
第 28/38 頁



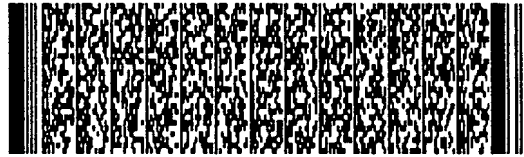
第 28/38 頁



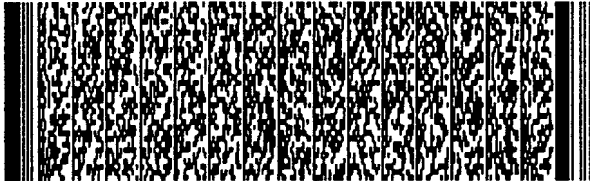
第 29/38 頁



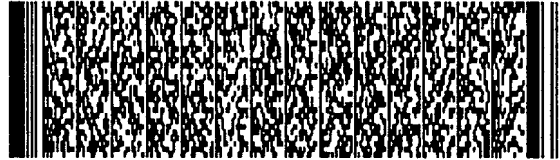
第 29/38 頁



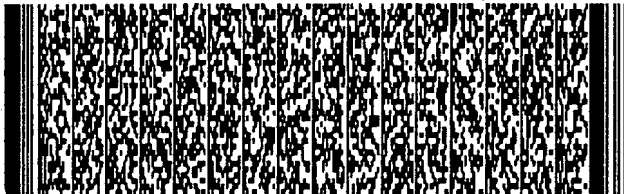
第 30/38 頁



第 31/38 頁



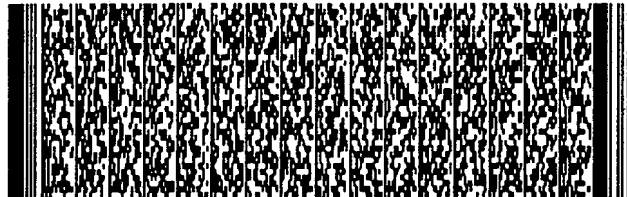
第 32/38 頁



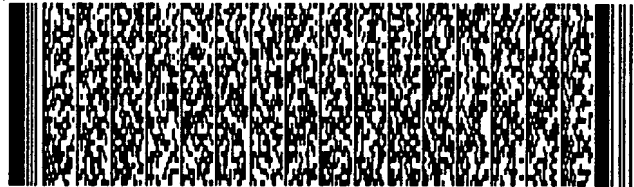
第 33/38 頁



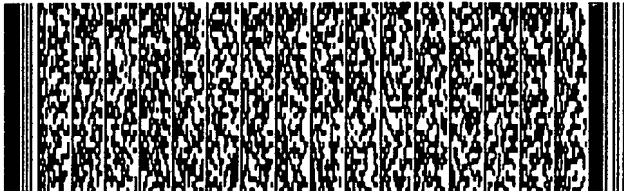
第 34/38 頁



第 35/38 頁



第 36/38 頁



第 37/38 頁



第 38/38 頁

